

?b wpi

31mar00 14:33:16 User 3451 Session D1716.2
Sub account: P000578
\$0.00 0.047 DialUnits FileHomeBase
\$0.00 Estimated cost FileHomeBase
\$0.02 TYMNET
\$0.02 Estimated cost this search
\$0.07 Estimated total session cost 0.150 DialUnits

File 351:DERWENT WPI 1963-2000/UD=, UM=, & UP=200015
(c) 2000 Derwent Info Ltd
***File 351: Display format changes coming in February. Try them out**
now in ONTAP File 280. See HELP NEWS 280 for details.

Set	Items	Description
---	-----	-----
?s	pn=de 19604043	
	S1 1	PN=DE 19604043
?t	s1/5	

1/5/1

DIALOG(R)File 351:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

011416773 **Image available**
WPI Acc No: 97-394680/199737
Related WPI Acc No: 97-403536
XRPX Acc No: N97-328416

**Vertical MOS field effect transistor device - has drain zone
incorporating p-type and n-type conductivity regions with equal overall
doping concentration**

Patent Assignee: SIEMENS AG (SIEI)

Inventor: TIHANYI J

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
DE 19604043	A1	19970807	DE 1004043	A	19960205		199737 B

Priority Applications (No Type Date): DE 1004043 A 19960205

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
DE 19604043	A1		10			

Abstract (Basic): DE 19604043 A

The semiconductor element has a drain zone (1,2) of given conductivity type with at least one relatively insulated polycrystalline gate electrode (6) and at least one source zone of opposite conductivity type.

The drain zone incorporates regions (7,8 ; 9,10 ; 11,12 ; 13,14) of opposite conductivity type, with the n-type regions (8,9,1,14) and the p-type regions (7,10,12,13) exhibiting an equal overall doping conc.

ADVANTAGE - Lower conductivity resistance for high blocking voltage.

Dwg.1/5

Title Terms: VERTICAL; MOS; FIELD; EFFECT; TRANSISTOR; DEVICE; DRAIN; ZONE;
INCORPORATE; P-TYPE; N-TYPE; CONDUCTING; REGION; EQUAL; OVERALL; DOPE;
CONCENTRATE

Index Terms/Additional Words: MOSFET

THIS PAGE BLANK (USPTO)

Derwent Class: U12

International Patent Class (in): H01L-029/78

International Patent Class (additional): H01L-029/739

File Segment: EPI

THIS PAGE BLANK (USPTO)

97 P 2852



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑫ **Erfindungsschri**
⑩ **DE 196 04 043 A 1**

⑤1 Int. Cl.⁸:
H 01 L 29/78
H 01 L 29/739

⑳ Aktenzeichen: 196 04 043.4
㉔ Anmeldetag: 5. 2. 96
㉕ Offenlegungstag: 7. 8. 97

B3

DE 196 04 043 A 1

㉚ Anmelder:
Siemens AG, 80333 München, DE

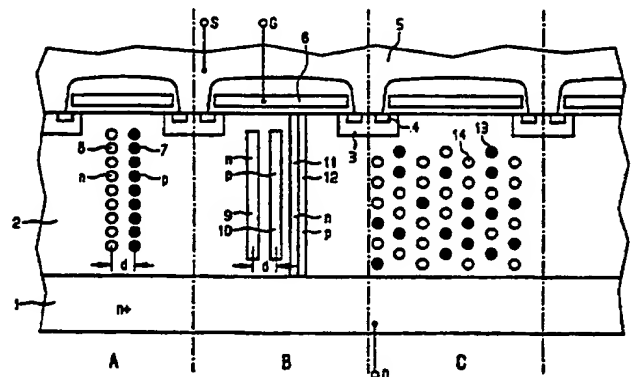
㉚ Erfinder:
Tihanyi, Jenő, Dr., 85551 Kirchheim, DE

㉞ Entgegenhaltungen:
US 52 18 275
Siemens Datenbuch 1993/94, S. 29 ff;

Prüfungsantrag gem. § 44 PatG ist gestellt

㉞ Durch Feldeffekt steuerbares Halbleiterbauelement

㉞ Die Erfindung bezieht sich auf ein durch Feldeffekt steuerbares Halbleiterbauelement mit einer Drainzone vom ersten Leitungstyp, mit wenigstens einer aus polykristallinem Silizium bestehenden Gateelektrode, wobei diese gegenüber der Drainzone isoliert ist, und mit wenigstens einem in der Drainzone eingebrachten Sourcebereich vom zweiten Leitungstyp. In der Drainzone sind Bereiche vom jeweils ersten und zweiten Leitungstyp eingebracht, wobei die Konzentration der eingebrachten n-Bereiche in etwa der Konzentration der eingebrachten p-Bereiche entspricht.



DE 196 04 043 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 06. 97 702 032/350

10/23

Die Erfindung betrifft ein durch Feldeffekt steuerbares Halbleiterbauelement gemäß dem Oberbegriff des Anspruchs 1.

Derartige durch Feldeffekt steuerbare Halbleiterbauelemente sind z. B. MOS-Feldeffekttransistoren. Diese Transistoren sind seit langem bekannt und z. B. im Siemens Datenbuch 1993/94 SIPMOS-Halbleiter, Leistungstransistoren und Dioden, auf Seite 29ff beschrieben. Fig. 4 auf Seite 30 dieses Datenbuchs zeigt den Prinzipiellen Aufbau eines derartigen Leistungstransistors. Der dort gezeigte Transistor stellt einen vertikalen n-Kanal-SIPMOS-Transistor dar. Bei einem derartigen Transistor dient das n^+ -Substrat als Träger mit der darunterliegenden Drainmetallisierung. Über dem n^+ -Substrat schließt sich eine n^- -Epitaxieschicht an, die je nach Sperrspannung verschieden dick und entsprechend dotiert ist. Das darüberliegende Gate aus n^+ -Polysilizium ist in isolierendes Siliziumdioxid eingebettet und dient als Implantationsmaske für die p-Wanne und für die n^+ -Sourcezone. Die Sourcemetallisierung überdeckt die gesamte Struktur und schaltet die einzelnen Transistorzellen des Chips parallel. Weitere Einzelheiten dieses vertikal aufgebauten Leistungstransistors sind auf Seite 30ff des Datenbuchs zu entnehmen.

Nachteil einer derartigen Anordnung ist, daß der Durchlaßwiderstand R_{on} der Drain-Source-Laststrecke mit zunehmender Spannungsfestigkeit des Halbleiterbauelements zunimmt, da die Dicke der Epitaxieschicht zunehmen muß. Bei 50 V liegt der flächenbezogene Durchlaßwiderstand R_{on} bei ungefähr 0,20 Ω/m^2 und steigt bei einer Sperrspannung von 1000 V beispielsweise auf einen Wert von ca. 10 Ω/m^2 an.

Aus der US 5,216,275 ist ein Halbleiterbauelement bekannt, bei dem die auf dem Substrat aufgebraute Drainschicht aus vertikalen abwechselnd p- und n-dotierten Schichten besteht. Die US 5,216,275 zeigt diese Schichten beispielsweise in Fig. 4 der Beschreibung. Die p-Schichten sind mit 7 und die n-Schicht mit 6 bezeichnet. Aus der Beschreibung, insbesondere aus Spalte 2, Zeile 8 geht hervor, daß die abwechselnden p- und n-Schichten jeweils mit der p-Region 8 bzw. der n-Region 4 verbunden werden müssen. Dies führt jedoch zu einer starken Einschränkung im Design eines Halbleiterbauelementes, da die Randbereiche nicht mehr frei gestaltet werden können.

Aufgabe der vorliegenden Erfindung ist es, ein durch Feldeffekt steuerbares Halbleiterbauelement anzugeben, welches trotz hoher Sperrspannung einen niedrigen Durchlaßwiderstand bereitstellt und die aufgezeigten Nachteile nicht aufweist.

Diese Aufgabe wird durch den kennzeichnenden Teil des Anspruchs 1 gelöst. Weiterbildungen sind Kennzeichen der Unteransprüche.

Die Erfindung weist den Vorteil auf, daß durch einfaches Einbringen von gepaarten n- bzw. p-Bereichen, insbesondere entlang des Strompfads, zum einen durch die n-Schicht eine gute Leitfähigkeit gewährleistet wird und sich zum anderen bei Erhöhung der Drainspannung die gepaarten Bereiche gegenseitig ausräumen, wodurch eine hohe Sperrspannung gesichert bleibt.

Eine besonders vorteilhafte Anordnung ergibt sich bei Verwendung eines Graben (Trench)-Bereiches, dessen Randbereiche derartig dotiert werden, daß sich jeweils paarweise n- bzw. p-Bereiche ergeben.

Ein weiterer Vorteil ergibt sich bei Verwendung von annähernd V-förmigen Isolationsgräben, da die Wände

Ionenimplantation mit 0° Einfallswinkel bei gleichzeitig hoher Genauigkeit belegt werden können und somit die n- bzw. p-Bereiche in jeweils einem Arbeitsgang hergestellt werden können.

Die Erfindung wird nachfolgend anhand der Figuren näher erläutert.

Es zeigen:

Fig. 1 einen Teilschnitt durch einen erfindungsgemäßen vertikalen MOSFET, der, in entsprechend mit A, B, C gekennzeichneten Bereichen, verschiedene Realisierungsmöglichkeiten aufzeigt.

Fig. 2a bis 2d zeigen jeweils teilweise Schnitte anhand derer die charakteristischen Verfahrensschritte zur Herstellung eines erfindungsgemäßen vertikalen MOSFET gezeigt werden.

Fig. 3 zeigt einen Teilschnitt durch einen erfindungsgemäßen vertikalen MOSFET mit einer Grabenstruktur.

Fig. 4 zeigt einen Teilschnitt durch einen weiteren vertikalen MOSFET mit Grabenstruktur, und

Fig. 5 zeigt einen Teilschnitt durch einen vertikalen MOSFET mit V-förmiger Grabenstruktur.

In Fig. 1 zeigt verschiedene Ausführungsformen einer erfindungsgeinäßen Anordnung, die der Übersichtlichkeit wegen in einer Figur dargestellt sind.

Diese Fig. 1 stellt einen vertikalen MOSFET dar. Das n^+ -dotierte Substrat 1 bildet einen Teil der Drainzone und wird rückseitig über eine übliche Metallisierung kontaktiert, die den Drainanschluß D bildet. Über dieser Schicht 1 ist eine n^- -dotierte Epitaxieschicht 2 abgeschieden, die ebenfalls einen Teil der Drainzone bildet, und in welcher p-dotierte Sourcebereiche 3 eingebracht sind. Diese p-dotierten Sourcebereiche 3 weisen eingebettete n^+ -Bereiche 4 auf. Die Sourcemetallisierung 5 bildet einen Kurzschluß zwischen diesem n^+ - und p-Sourcegebiet 3, 4. In der Figur sind mehrere Sourcebereiche 3, 4 dargestellt, die voneinander beabstandet sind und von denen jeweils zwei einen Zwischenbereich in Verbindung mit der Drainzone 1, 2 definieren, über dem, eingebettet in Gateoxid 17, ein Gate 6 angeordnet ist.

Innerhalb der schwächer dotierten n^- -Drainzone 2 sind p- und n-dotierte Gebiete 7, 8 bzw. 9, 10 bzw. 11, 12 bzw. 13, 14 eingepflanzt. Diese müssen nicht, können aber einander berühren und einen pn-Übergang bilden.

Die p-/n-Gebiete 7, 8 können wie im Bereich A dargestellt kugelförmig ausgebildet sein und sich entlang des Strompfades der Drain-Source-Laststrecke erstrecken. Im Bereich B bilden diese p-/n-Bereiche 10, 11 oder 11, 12 beispielsweise Fäden, Streifen oder vertikal verlaufende Ebenen. Diese Bereiche können, wie durch die Bereiche 9 und 10 angedeutet innerhalb der Epitaxieschicht 2 "floatend", d. h. frei schwebend, liegen und nur einen Teil der Epitaxieschicht 2 ausfüllen oder, wie durch 11, 12 angedeutet, von der oberen Oberfläche der Epitaxieschicht 2 bis zum Substrat 1 und/oder in das Substrat 1 hineinreichen. Wie im Bereich B gezeigt kann der Abstand d der Schichten 9, 10 bzw. 11, 12 größer gleich 0 sein.

Im Bereich C ist eine weitere Ausführungsform dargestellt bei der eine statistische Verteilung der p- und n-dotierten Gebiete 13, 14 vorgesehen ist. Dabei kann der Querschnitt dieser p-/n-Gebiete 13, 14 sowie auch die Dotierungsverteilung unregelmäßig sein.

Wesentlich ist, daß die Anzahl der eingebrachten p-Gebiete 7, 10, 12, 13 ungefähr gleich der Anzahl der eingebrachten n-Gebiete 8, 9, 11, 14 ist. Dabei ist des weiteren zu beachten, daß die Summe der Volumenaus-

dehnungen der eingebrachten p-Gebiete 7, 10, 12, 13 ungefähr gleich oder kleiner der der n-Gebiete 8, 9, 11, 14 ist.

Ebenso sollte im Fall der Anordnung gemäß dem Bereich C die durchschnittliche Konzentration der verteilten p-Gebiete in etwa gleich oder größer der der eingebrachten n-Gebiete sein.

Der Abstand d zwischen den einzelnen p- und n-Gebieten, sollte vorzugsweise kleiner als die Breite der Raumladungszone zwischen den p-/n-Gebieten bei der Durchbruchsspannung zwischen den benachbarten p-/n-Gebieten sein, kann aber wie erwähnt auch zu null werden.

Nachfolgend wird die Funktionsweise einer derartigen erfindungsgemäßen Struktur näher erläutert.

Bei kleiner Drainspannung ist die Leitfähigkeit gut, da die n-Zone 15, 25 bzw. die durch die n-dotierten Gebiete 8, 9, 11, 14 gebildeten Zonen niederohmig sind. Wird die Drainspannung erhöht, werden bei moderater Spannung, z. B. einer Spannung kleiner 30 V, die p- bzw. n-dotierten Schichten 9, 10; 11, 12 bzw. Gebiete 7, 8; 13, 14 gegenseitig ausgeräumt. Bei einer weiteren Spannungserhöhung wird nun die vertikale Feldstärke weiter erhöht und die Epitaxieschicht 2 nimmt die Spannung auf.

Im einzelnen erfolgt dieser Vorgang folgendermaßen. Die Ausräumung startet von der Oberfläche unter der Gateelektrode 6 und den Sourcebereichen 3, 4. Sie schreitet dann in das Gebiet 9, 10; 11, 12 bzw. die Gebiete 7, 8; 13, 14 voran. Wenn die Raumladungszone die ersten p-Gebiete 7, 10, 12, 13 erreicht, bleiben diese Gebiete auf der Spannung, die das Potential der Raumladungszone erreicht hat. Dann wird die nächste Umgebung in Richtung des Drainanschlusses D ausgeräumt. Dieser Vorgang wiederholt sich von Schicht zu Schicht.

Auf diese Weise schreitet die Raumladungszone voran, bis die Zone unterhalb der eingebrachten Dotierungen innerhalb der Epitaxieschicht 2 erreicht wird. Insgesamt wird dann die Raumladungszone so aufgebaut, als ob die zusätzlich eingebrachten p-/n-Bereiche 7, 8, 9, 10, 11, 12, 13, 14 nicht vorhanden wären.

Die Spannungsfestigkeit wird dabei nur durch die Dicke der Epitaxieschicht 2 bestimmt. Somit kann die erfindungsgemäße Anordnung beide Erfordernisse erfüllen, nämlich einen niederohmigen Durchlaßwiderstand R_{on} bei gleichzeitiger hoher Spannungsfestigkeit.

In einer Abwandlung ist eine derartige Struktur auch als IGBT funktionsfähig, wenn z. B. die untere n^+ -Zone 1 gemäß Fig. 1 auf p^+ umgeschaltet wird.

Die erfindungsgemäßen Strukturen können sowohl bei vertikal als auch bei lateral aufgebauten Halbleiterstrukturen verwendet werden. Bei lateralen Strukturen sollten streifenförmig ausgebildete p- und n-Bereiche dann in horizontalen Ebenen ausgerichtet werden. Diese können z. B. als buried layer in die n^- -Schicht 2 vergraben werden.

Die Fig. 2a bis 2d zeigen ein mögliches Herstellverfahren einer Anordnung gemäß Fig. 3. Auf einem n^+ -dotierten Substrat 1 wird eine erste dünne n^- -dotierte Epitaxieschicht 2 aufgewachsen. Diese wird beispielsweise durch entsprechende Maskierung und Ionenimplantation mit sich abwechselnden n- bzw. p-Bereichen 28 und 29 dotiert. Die Dotierung kann selbstverständlich auch durch andere bekannte Verfahren erfolgen.

Danach wird, wie in Fig. 2b zu sehen ist, eine weitere Epitaxieschicht aufgebracht, die in gleicher Weise wie zuvor dotiert wird.

Durch Wiederholen des Schrittes wird durch eine mehrstufige Epitaxieabscheidung schließlich die n^- -dotierte Zone 2 bis zu den noch einzubringenden Sourcebereichen 3, 4 vervollständigt.

Je nach verwendeten Maske können pro Schicht die unterschiedlichsten Strukturen gebildet werden. Die Dotierungen der Bereiche 28 und 29 können z. B. derart gewählt werden, daß sich die einzelnen dotierten Bereiche 28, 29 einer Schicht nach einer Hochtemperaturbehandlung mit denjenigen der darunterliegenden Schicht verbinden, so daß sich insgesamt, wie in Fig. 2c dargestellt, streifenförmige Bereiche 28 und 29 ausbilden. Die in den einzelnen Schichten dotierten Bereiche 28, 29 können jedoch auch voneinander getrennt sein, wie es in den Bereichen A und C in Fig. 1 dargestellt ist. Durch entsprechende Wahl der Masken können auch statistische räumliche Verteilungen der einzelnen Gebiete erreicht werden.

Schließlich werden die Sourcebereiche 3, 4 z. B. in eine weitere aufgebrachte Epitaxieschicht eingebracht, und in den übrigen Bereichen kann z. B. eine weitere Dotierung von n-/p-Bereichen 28, 29 erfolgen, so daß sich die streifenförmigen Bereiche 28, 29 in der Zonen in welcher kein Sourcebereich 3, 4 vorgesehen ist, bis zur Oberfläche der Epitaxieschicht 2 erstrecken.

Die am Randbereich eingebrachten p- und n-dotierten Gebiete, in Fig. 2d mit 30 und 31 bezeichnet, können vorzugsweise schwächer als die übrigen Bereiche 28, 29 dotiert sein.

Es folgen nun weitere Schritte zur Aufbringung der Gateelektroden 6 bzw. der Randgateelektrode 32 und der Metallisierung 5 in bekannter Weise.

Fig. 4 zeigt ein weiteres Ausführungsbeispiel eines erfindungsgemäßen vertikalen MOSFET. Gleiche Bereiche sind gemäß den vorhergehenden Figuren mit den gleichen Bezugszeichen versehen.

Dieser MOSFET unterscheidet sich von dem in Fig. 1 bzw. Fig. 3 gezeigten in der Ausgestaltung der n^- -dotierten Drainzone 2. Unterhalb der Gateelektroden 6 erstreckt sich hier von der Oberfläche der Epitaxieschicht 2 bis in die Substratschicht 1 eine vertikale Grabenstruktur 24. Diese ist vollständig oder teilweise mit Isolatoren z. B. Oxid und/oder schwach dotiertem Polysilizium aufgefüllt. Auch eine Kombination von mehreren übereinanderliegenden Isolationsschichten mit dazwischenliegendem schwach dotiertem Polysilizium ist möglich.

Die Grabenwände sind mit einer n-Zone 25 umhüllt, welche rundum wiederum von einer p-Zone 26 umgeben ist. Die p- und n-Dotierung in der Grabenumhüllung ist so bemessen, daß bei einer U_D -Spannung, welche kleiner als die Durchbruchspannung zwischen den Bereichen 25 und 26 ist, beide n- und p-Bereiche 25 und 26 nahezu vollkommen ausgeräumt werden.

Der Querschnitt der Gräben 24 kann rund, streifenförmig, d. h. beliebig sein. Der Graben muß sich dabei nicht bis in die Substratzone 1 erstrecken, vielmehr ist der Tiefenverlauf frei wählbar. Wird z. B. ein runder Grabenquerschnitt gewählt, so erhalten die Schichten 25, 26 eine quasi zylindrige Form.

Selbstverständlich kann auch, wie in Fig. 3 durch Klammern angedeutet, der innere Wandbereich 25 p-dotiert und der ihn umgebende äußere Wandbereich 26 n-dotiert sein.

Es ist auch möglich, nur einen Teil der Grabenwände mit der n- und der p-Schicht zu belegen.

Nachfolgend wird ein mögliches Herstellverfahren beschrieben: Zuerst werden in die Epitaxieschicht 2 die

Gräben eingesetzt.

Dann wird von den Grabenwänden z. B. eine Dotierungsquelle für Bor (p) abgeschieden und eingetrieben. So entsteht die p-Schicht 26. Danach wird die n-Dotierungsquelle abgeschieden. Diese Quelle ist eine beliebig z. B. durch Ionen-Implantation hergestellte, dünne Oberflächenschicht. Nach der Einbringung der n- und p-Dotierung wird der Graben mit Isolatoren aufgefüllt. Dies kann z. B. durch Oxidation oder Abscheidung erfolgen. Nachdem die Gräben fertig sind kann die Zellenstruktur nach gängigem Verfahren erzeugt werden. Die p-Zonen 26 können mit den Zellen-p-Zonen stellenweise zusammenhängen, wobei dieser Fall in Fig. 3 nicht dargestellt ist.

Fig. 4 zeigt ein weiteres Ausführungsbeispiel entsprechend der in Fig. 3 dargestellten Anordnung. Gleiche Elemente sind auch hier mit gleichen Bezugszeichen versehen. Der Unterschied zur Anordnung gemäß Fig. 3 besteht in der Ausgestaltung der Gatestruktur. Im Gegensatz zu der in Fig. 3 dargestellten Anordnung ist hier die Gatestruktur zweigeteilt bzw. weist eine zentrale Aussparung 29 auf, die das Gate in zwei Teilbereiche 27 und 28 aufteilt. Sinn dieser Anordnung ist, daß ein derartiges Poly-Gate den Grabenbereich 24 maskiert. Hierdurch kann eine vereinfachte Herstellung des Grabenbereichs vorgesehen werden. Wie bei bekannten Strukturen, bei denen das Gate zur Maskierung bestimmter Bereiche während des Herstellungsverfahrens dient, wird hier die Form des Gates ausgenutzt, um die Ausbildung des Grabens 24 entsprechend der Formgebung der Aussparung 29 vorzusehen.

Fig. 5 zeigt ein weiteres Ausführungsbeispiel eines vertikalen MOSFETS. Gleiche Elemente sind auch hier mit gleichen Bezugszeichen versehen. Die dargestellte Struktur entspricht im wesentlichen der in Fig. 3 wiederergegebenen mit dem Unterschied, daß der Grabenbereich hier als annähernd V-förmiger Graben 31 ausgebildet ist. Dementsprechend sind auch die p- bzw. n-dotierten umhüllenden Randbereiche 30, 32 V-förmig ausgebildet. In dem in Fig. 5 dargestellten Beispiel ist außerdem die auf der Unterseite des Bauelements auf der Substratschicht 1 aufgebrachte Kontaktierungsschicht 32 dargestellt.

Von besonderem Vorteil kann es sein, den Scheitel bzw. Umkehrpunkt des Grabens eher u-förmig auszubilden.

Ein derartiger Trench(Graben)-Drain-MOSFET ist leicht herstellbar, wenn die Gräben 31 wie in Fig. 5 dargestellt V-förmig ausgebildet sind, wobei ein sehr kleiner Winkel (Φ = ungefähr 5° bis 10°) verwendet wird. Dann können die Wände 30, 32 durch Ionenimplantation mit 0° Einfallswinkel mit hoher Genauigkeit und Gleichmäßigkeit belegt werden. Die n- und p-Dotierungen können aus der Grabenwand durch eine oder mehrere Hochtemperaturbehandlungen in das einkristalline Silizium der Schichten 1 und 2 eingetrieben werden.

Wahlweise könnte auch nur jeweils eine Seitenwand, je nach Ausbildung der Gräben mit den Schichten 30 und 32 belegt werden.

Die Herstellung der Gräben 31 kann als erster Schritt, aber auch nach der Polysiliziumabscheidung erfolgen. Im letzteren Fall wird das Maskieren der Gräben 31 durch Öffnungen im P-lsilizium und dem Gateoxid durchgeführt. Die Zellen können dabei als Säulen ausgebildet sein aber die V-förmigen Gräben können auch alleinstehend sein.

Die Gräben 24, 31 können streifenförmig verlaufen und so die einzelnen Zellen eines MOSFET umgeben.

Sie können auch kegelförmig ausgebildet sein und an den Kreuzungspunkten von in einer Matrix angeordneten Zellen eingebracht werden.

Selbstverständlich kann die Epitaxieschicht in allen Fällen sowohl vom n- oder vom p-Typ sein.

Zusammenfassend ist zu bemerken, daß durch die vorliegende Erfindung sowohl vertikale wie auch laterale MOSFETS mit niedrigem Durchlaßwiderstand R_{on} bei gleichzeitig hoher Sperrspannung vorgesehen werden können. Wesentlich ist die Ausbildung von paarweisen p- bzw. n-dotierten Bereichen, welche strukturiert oder statistisch verteilt eingebracht sind, wobei vorzugsweise streifenförmiger Bereiche vorgesehen sind, die entlang des Strompfads der Laststrecke ausgebildet sind. Die vorliegende Erfindung ist dabei sowohl bei MOSFETS vom p-Kanal wie auch bei MOSFETS vom n-Kanal oder auch bei entsprechenden IGBT's anwendbar.

Patentansprüche

1. Durch Feldeffekt steuerbares Halbleiterbauelement mit

- einer Drainzone vom ersten Leitungstyp,
- wenigstens einer aus polykristallinem Silizium bestehenden Gateelektrode, wobei diese gegenüber der Drainzone isoliert ist,
- wenigstens einem in der Drainzone eingebrachten Sourcebereich vom zweiten Leitungstyp,

dadurch gekennzeichnet, daß in der Drainzone (1, 2) Bereiche vom jeweils ersten und zweiten Leitungstyp (7, 8; 9, 10; 11, 12; 13, 14; 28, 29) eingebracht sind, wobei Gesamtmenge der Dotierung der eingebrachten n-Bereiche (8, 9, 11, 14, 28) in etwa der Gesamtmenge der Dotierung der eingebrachten p-Bereiche (7, 10, 12, 13, 29) entspricht.

2. Durch Feldeffekt steuerbares Halbleiterbauelement nach Anspruch 1, dadurch gekennzeichnet, daß die Bereiche vom ersten und zweiten Leitungstyp (7, 8; 9, 10; 11, 12; 13, 14; 28, 29) in der Drainzone (1, 2) jeweils paarweise angeordnet sind.

3. Durch Feldeffekt steuerbares Halbleiterbauelement nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß die paarweise eingebrachten Bereiche vom ersten und zweiten Leitungstyp (7, 8; 9, 10; 11, 12; 13, 14; 28, 29) in der Drainzone (1, 2) einen Abstand voneinander größer gleich 0 und kleiner gleich der Breite der Raumladungszone haben.

4. Durch Feldeffekt steuerbares Halbleiterbauelement gemäß einem der Ansprüche 2 bis 3, dadurch gekennzeichnet, daß die paarweise angeordneten Bereiche (9, 10; 11, 12; 28, 29) jeweils streifen- oder fadenförmig ausgebildet sind.

5. Durch Feldeffekt steuerbares Halbleiterbauelement gemäß einem der Ansprüche 2 bis 3, dadurch gekennzeichnet, daß die in der Drainzone eingebrachten Bereiche (7, 8; 13, 14; 28, 29) kugelförmig ausgebildet sind.

6. Durch Feldeffekt steuerbares Halbleiterbauelement gemäß einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß innerhalb der Drainzone (1, 2) ein Graben (24, 31) vorgesehen ist, der sich von der Oberfläche in die Drainzone (1, 2) erstreckt, wobei der Graben (24, 31) mit wenigstens einem Isolator ausgefüllt ist und der Graben (24, 31) einen ersten vertikal verlaufenden Randbereich (25, 30) aufweist, welcher mindestens teilweise vom ersten

bzw. zweiten Leitungstyp dotiert ist und welcher mindestens teilweise von einem zweiten vertikal parallel verlaufenden Randbereich (26, 32) umgeben ist, der vom jeweils anderen Leitungstyp ist.

7. Durch Feldeffekt steuerbares Halbleiterbauelement gemäß Anspruch 6, dadurch gekennzeichnet, daß die Gräben (31) annähernd V-förmig ausgebildet sind. 5

8. Durch Feldeffekt steuerbares Halbleiterbauelement gemäß Anspruch 7, dadurch gekennzeichnet, daß der Umkehrpunkt der Gräben (31) u-förmig ausgebildet ist. 10

9. Durch Feldeffekt steuerbares Halbleiterbauelement gemäß einem der Ansprüche 6 bis 8, dadurch gekennzeichnet, daß der Isolator eine Kombination aus Isolationsmaterial und Polysilizium ist. 15

10. Durch Feldeffekt steuerbares Halbleiterbauelement gemäß einem der Ansprüche 6 bis 9 dadurch gekennzeichnet, daß die Gräben (24, 31) streifenförmig verlaufen. 20

11. Durch Feldeffekt steuerbares Halbleiterbauelement gemäß einem der Ansprüche 6 bis 9 dadurch gekennzeichnet, daß die Gräben (24, 31) kegelförmig ausgebildet sind. 25

Hierzu 5 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

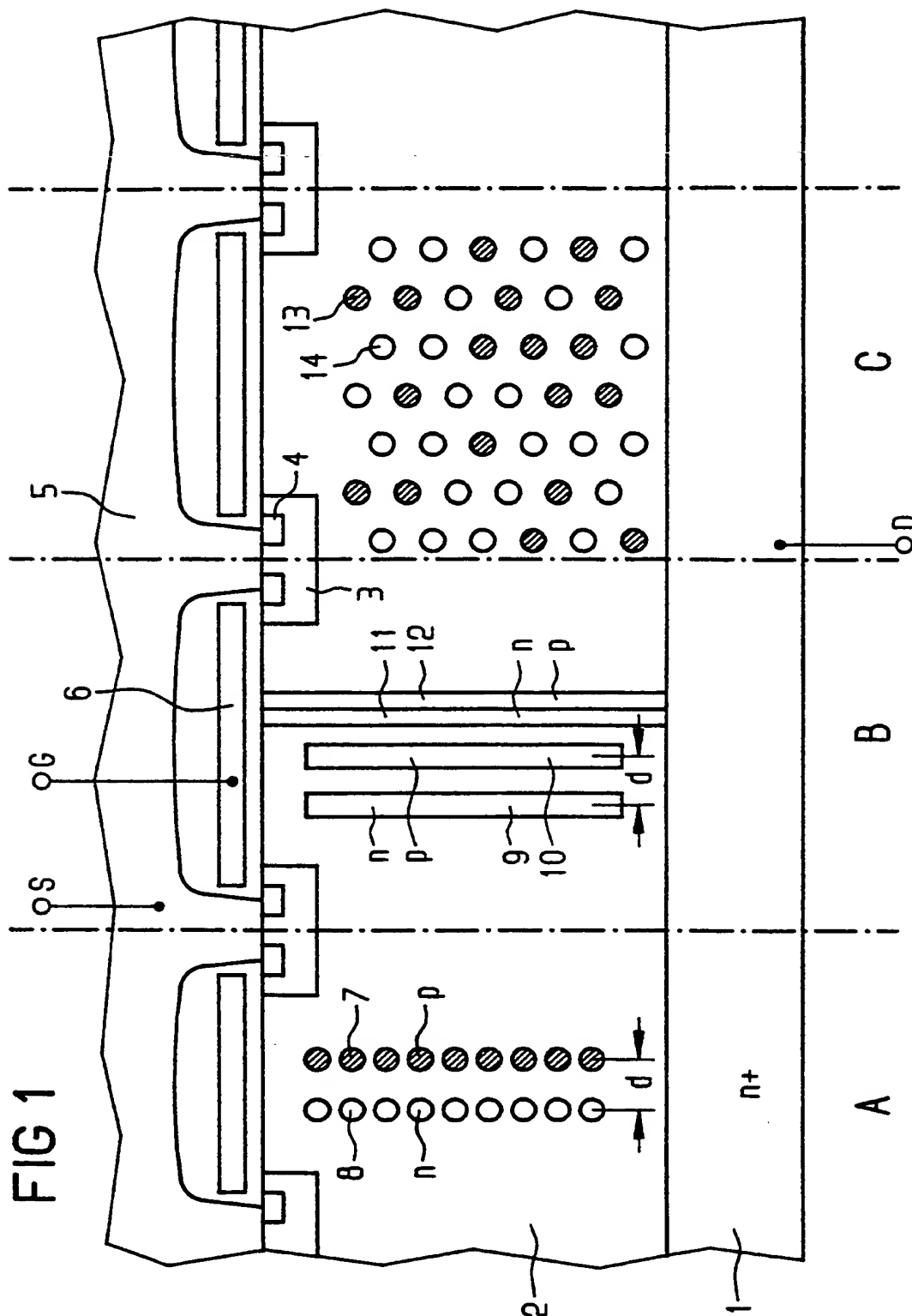


FIG 4

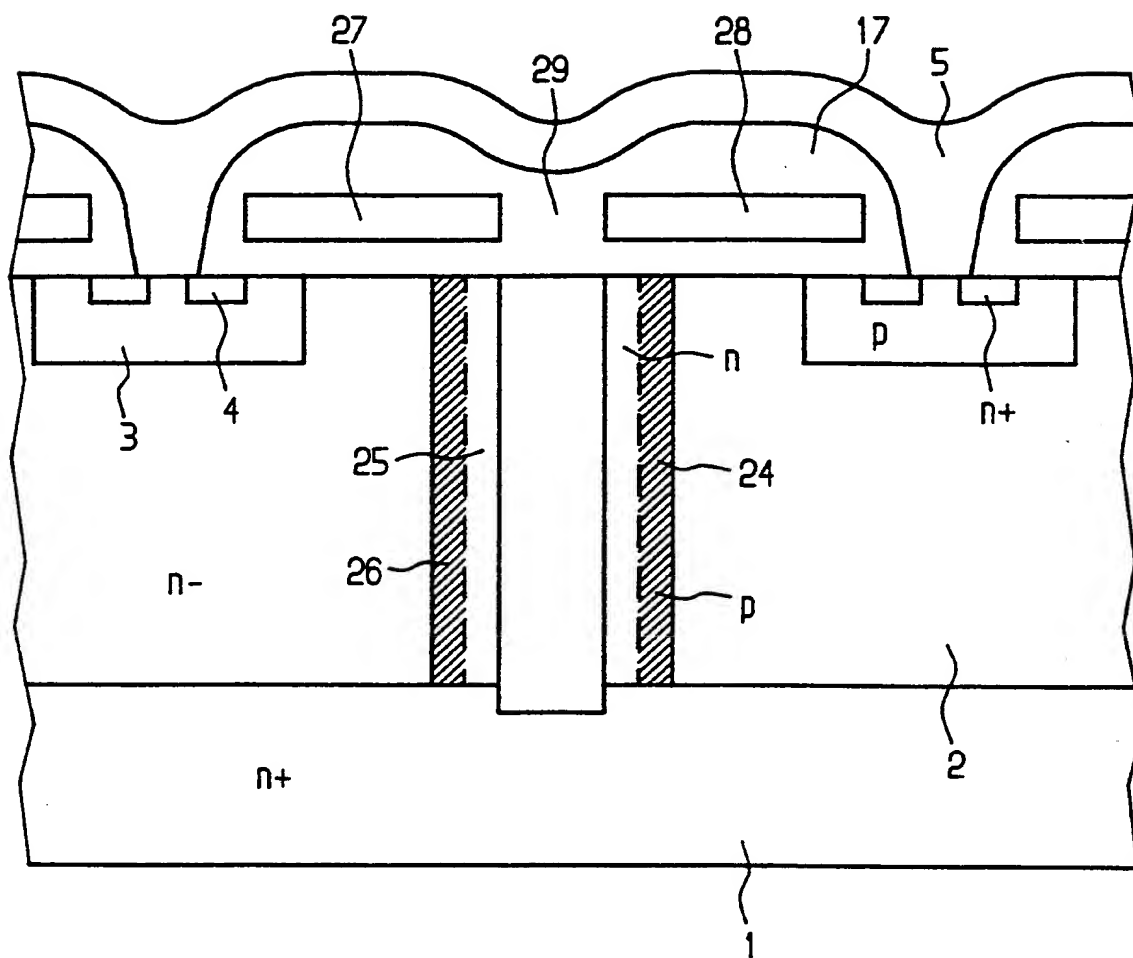


FIG 5

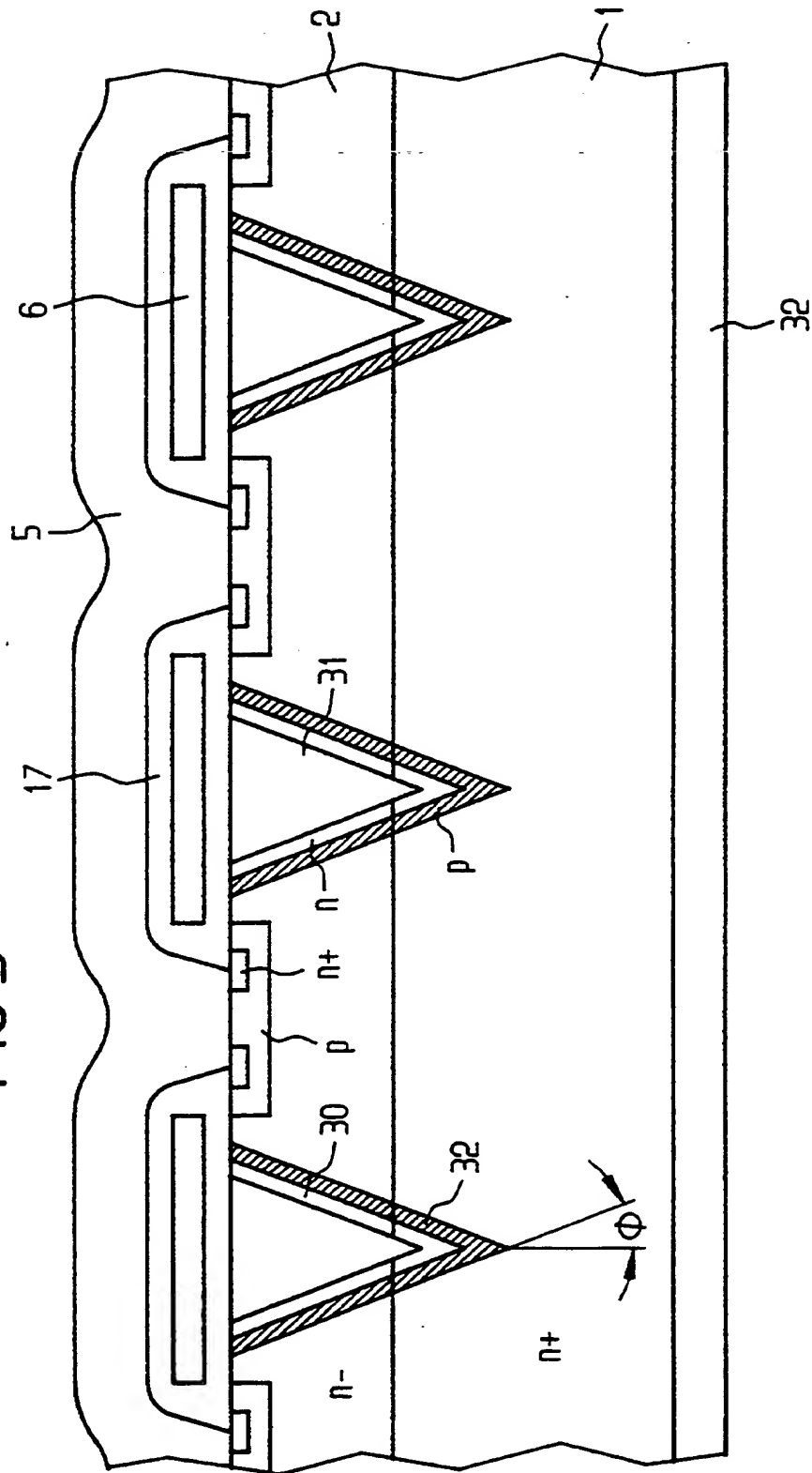


FIG 2a

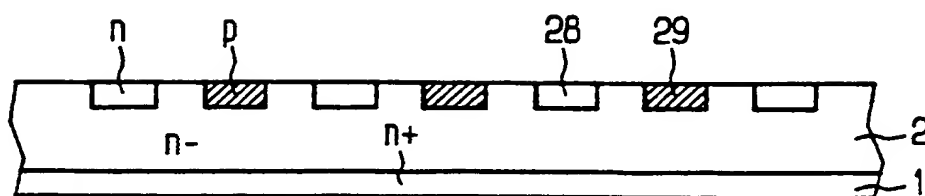


FIG 2b

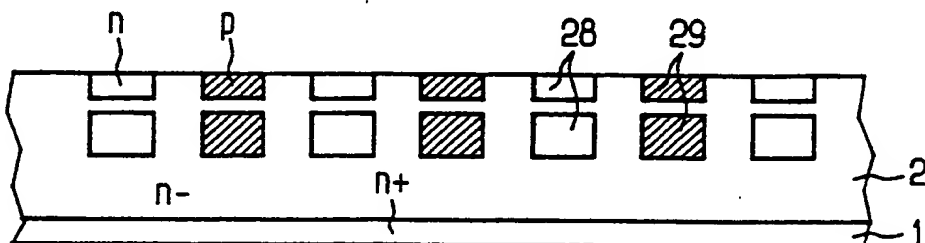


FIG 2c

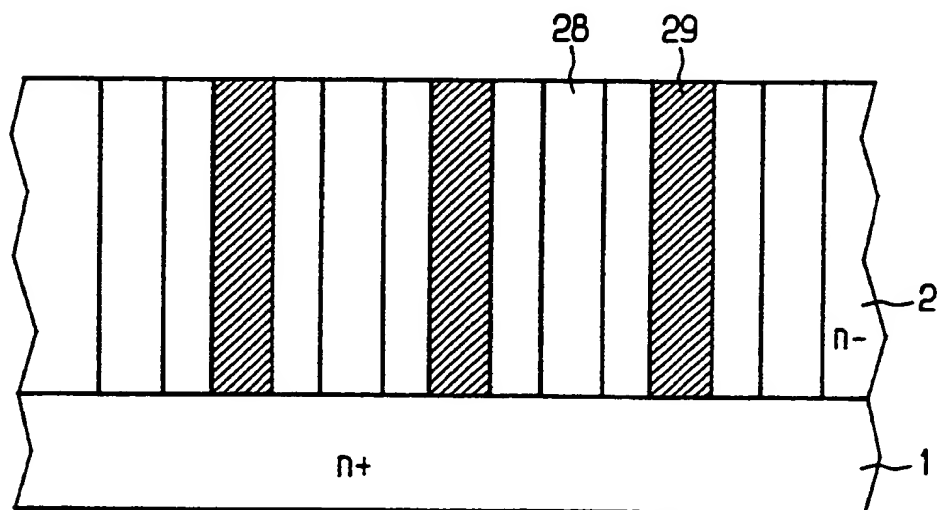


FIG 2d

